

⑫ 公開特許公報(A) 平3-265932

⑬ Int. Cl.³

識別記号

庁内整理番号

⑭ 公開 平成3年(1991)11月27日

G 06 F 9/38

3 3 0 F

7927-5B

審査請求 未請求 請求項の数 2 (全4頁)

⑮ 発明の名称 インストラクションメモリ制御方式

⑯ 特 願 平2-66455

⑰ 出 願 平2(1990)3月15日

⑱ 発 明 者 遠 藤 幸 男 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 発 明 者 野 原 琢 也 東京都港区西新橋3丁目20番4号 日本電気エンジニアリング株式会社内

⑳ 出 願 人 日本電気株式会社 東京都港区芝5丁目7番1号

㉑ 出 願 人 日本電気エンジニアリング株式会社 東京都港区西新橋3丁目20番4号

㉒ 代 理 人 弁理士 内 原 晋

明 細 書

1. 発明の名称

インストラクションメモリ制御方式

2. 特許請求の範囲

1. 外部メモリからプログラムをロードしながら処理を実行する信号処理プロセッサに設けられた数ステップのプログラムをロードするインストラクションメモリをいくつかのバンクに分割し、前記バンクの1つをプログラムのロードを司るDMA回路の命令エリアに割り当て、前記バンクのプログラムを前記信号処理プロセッサが実行を終了する毎にDMA命令を実行することを特徴とするインストラクションメモリ制御方式。
2. 外部メモリからプログラムをロードしながら処理を実行する信号処理プロセッサに設けられたインストラクションメモリに分岐先の無い数ステップのプログラムをロードする第1のイン

ストラクションメモリバンクと分岐先の有る数ステップのプログラムをロードする第2のインストラクションメモリバンクとプログラムのロード制御を司るDMA回路の命令エリアとを設け、前記第1及び第2のインストラクションメモリの前記バンクのいずれかのプログラムを前記信号処理プロセッサが実行を終了する毎にDMA命令を実行することを特徴とするインストラクションメモリ制御方式。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は信号処理プロセッサのインストラクションメモリ制御方式に関する。

〔従来の技術〕

デジタル信号処理を用いてテレビジョン信号を圧縮し、テレビ会議を行なうシステムが盛んに開発されている。第2図にテレビジョン信号圧縮アルゴリズムの一例を示す。同図において、10は減算、20は量子化、30は有効/無効ブロック

判定、40は無効ブロックと判定された場合の処理、50は逆量子化、60は加算、70はフレームメモリである。ここで、30の有効/無効ブロック判定で無効と判定されたブロックに対して、それ以降の処理50、60、70は不要となる。この利点とアルゴリズム変更が容易であることから、近年信号処理プロセッサを用いたシステムの開発が盛んに行なわれている(平成元年電子情報通信学会全国大会論文、A-316、A-317参照)。また、システムに用いられる信号処理プロセッサは、高速かつ1チップLSIとして開発されている(ISSCC 89,P.170, Feb 1989参照)。上記信号プロセッサのインストラクションはチップ内のRAMに格納され、必要に応じてインストラクションを書き換える柔軟なアーキテクチャとなっている。

[発明が解決しようとする課題]

上述した信号処理プロセッサはハードウェア制約のため、オンチップできるインストラクションメモリの語数に制約があり、複雑なアルゴリズム

を実現する場合、数回のプログラムの入れ換えが必要となる。プログラム転送期間中、信号処理プロセッサの処理は停止し、処理効率の低下を招く。

本発明の目的は、上記動画符号化アルゴリズムの量子化等の1つのタスクが数十ステップで実現できることに着目し、少容量のインストラクションメモリで処理効率の低下を生じないインストラクションメモリ制御方式を提供することにある。

[課題を解決するための手段]

本発明のインストラクションメモリ^{制御}方式は、外部メモリからプログラムをロードしながら処理を実行する信号処理プロセッサに設けられ数ステップのプログラムをロードするインストラクションメモリをいくつかのバンクに分割し、前記バンクの1つをプログラムのロードを司るDMA回路の命令エリアに割り当て、前記バンクのプログラムを前記信号処理プロセッサが実行を終了する毎にDMA命令を実行する構成である。

また、本発明のインストラクションメモリ制御方式は、外部メモリからプログラムをロードしな

がら処理を実行する信号処理プロセッサに設けられたインストラクションメモリに分岐先の無い数ステップのプログラムをロードする第1のインストラクションメモリバンクと分岐先の有る数ステップのプログラムをロードする第2のインストラクションメモリバンクとプログラムのロード制御を司るDMA回路の命令エリアとを設け、前記第1及び第2のインストラクションメモリの前記バンクのいずれのプログラムを前記信号処理プロセッサが実行を終了する毎にDMA命令を実行する構成である。

[実施例]

次に、本発明について図面を参照して説明する。

第1図は本発明の一実施例を示す構成図であり、1は信号処理プロセッサ(DSP)、2はインストラクションメモリ、3はDMA回路、4は外部メモリである。信号処理プロセッサ1はインストラクションメモリ2の命令に従い1クロックサイクルで処理を実行するものである。外部メモリ4は信号処理に必要なプログラムを格納するもので

あり、一例として第2図に示した動画符号化処理を実行するプログラムを第2図に示す空間に格納する。第2図に示したアルゴリズムは差分処理等の各タスクに分解できる。これらのタスクを外部メモリ4の各バンクE0~E6に割り当てる。インストラクションメモリ2は信号処理プロセッサ1に内蔵され、内部構造はDMA管理バンクI0~I3の5バンクから構成される。バンクI0~I3は外部メモリ4からプログラムをDMA転送されるエリアであり、DMA管理部はDMA命令、DMAソースバンク(外部メモリ)、DMAデスティネーションバンク(インストラクションメモリ)、実行開始バンクを記述する。DMA回路3はカウンタ等で構成され、インストラクションメモリ2のDMA管理命令に従い外部メモリ4のバンクE0~E6のプログラムをインストラクションメモリ2のバンクI0~I3に転送制御を行なう。

次に、このように構成されたインストラクションメモリの制御動作を第2図に示した動画符号化

アルゴリズムを例にとり説明する。第2図の符号化処理フローを第5図に示す。差分、量子化の各タスクを処理した後、有効／無効判定処理の結果により、有効の場合には逆量子化、加算、フレームメモリ格納処理(FM)を行なう。無効の場合は無効処理を行いスタートに戻る。処理開始時、DMAシーケンスポイント0(DP0)が実行され、外部メモリ4のバンクE0(差分プログラム)がインストラクションメモリ2のバンクI0に格納され、バンクE1(量子化プログラム)がバンクI1に格納される。DP0の示すDMA命令130がDMA回路3に入力される。DMA回路は命令130の内容を解釈し、DMAアドレス110を発生する。DMAアドレス110の示すデータ100が外部メモリ4から転送され、インストラクションメモリ2に転送データ120を格納する。DMA転送が終了すると、信号処理プロセッサ1はDP0の示すEXEバンク(I0)、つまり差分プログラムを実行する。信号処理プロセッサ1がバンクI0の処理を終了した時点で、

制御権がDMA管理部に移り、DP1の命令をDMA回路3に指令し、バンクE2(有効／無効判定)をバンクI0にロードすると同時に、DP1の示すEXEバンク(I1)、つまり量子化プログラムの実行を開始する。同様に、バンクI1の処理が終了した時点で、E3(逆量子化プログラム)をI2に、かつE6(無効処理プログラム)をI3にロードし、バンクI0(有効／無効判定)を開始する。有効／無効判定の結果により、有効の場合DP=4、無効の場合DP=8にして、DMA回路3に命令する。DP4の命令はE4(加算プログラム)をI0にロードし、I2(逆量子化プログラム)を実行する命令が記述され、DP8にはE0(差分プログラム)をI0にロードし、I3(無効処理プログラム)を実行する命令が記述されている。以下同様にして、第5図の処理が実行される。表1に第5図のフローを実現するDMA命令を示す。

表 1 DMA命令

DP	命 令	SRC バンク	DST バンク	EXE バンク
0	DMA	E0/E1	I0/I1	I0(E0)
1	DMA	E2	I0	I1(E1)
2	DMA	E3/E6	I2/I3	I0(E2)
3	IF(無効) GOTO8			
4	DMA	E4	I0	I2(E3)
5	DMA	E5	I1	I0(E4)
6	DMA	E0	I0	I1(E5)
7	GOTO1			
8	DMA	E0	I0	I3(E6)
9	GOTO1			

〔発明の効果〕

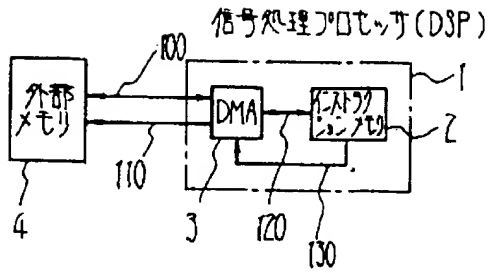
以上明説したように本発明によれば、プログラム転送期間中、信号処理プロセッサの処理が停止することなく、効率の良いシステムが構築できる。また、少量語数のインストラクションメモリで複雑なアルゴリズムを実現することができる。さらに、分岐によるDMA転送の乱れが生じないため、効率の良いインストラクションメモリ制御が可能である。

4. 図面の簡単な説明

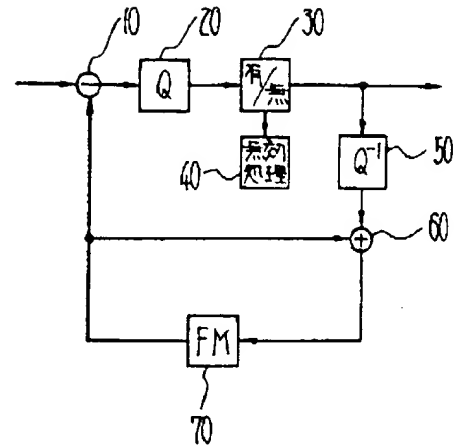
第1図は本発明の一実施例を示す構成図、第2図、第3図、第4図及び第5図は本発明を説明するための図である。

1……信号処理プロセッサ、2……インストラクションメモリ、3……DMA回路、4……外部メモリ。

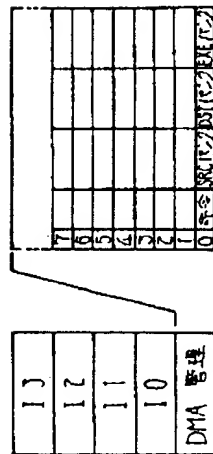
代理人 弁理士 内 原 晋



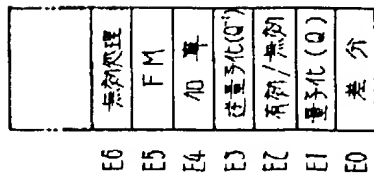
第 1 図



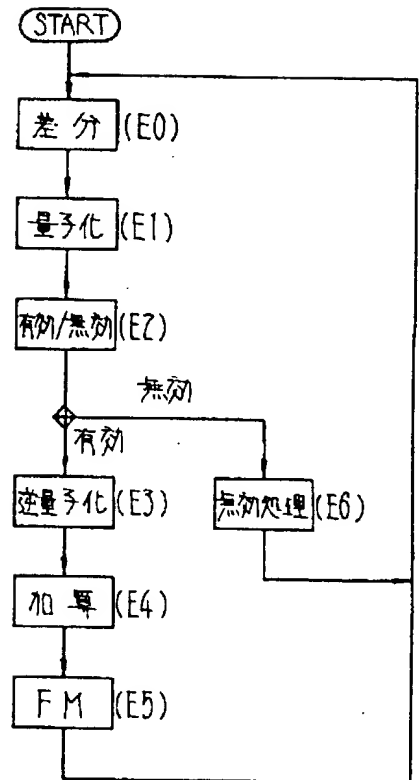
第 2 図



第 4 図



第 3 図



第 5 図